

Núcleo de Avaliação: Núcleo II

Área temática: Ciências Exatas e da Terra

Área do Conhecimento: Ciência da Computação

Acelerador do algoritmo K-means em FPGA

Paulo Henrique Almeida de Andrade, Silvio Roberto Fernandes de Araújo

O presente trabalho descreve o desenvolvimento de um acelerador de hardware para o algoritmo K-means, utilizando FPGAs, visando melhorar o desempenho em tarefas de aprendizado de máquina não supervisionado, que frequentemente lidam com grandes volumes de dados. A escolha por FPGAs se baseia na sua capacidade de combinar eficiência energética e alta paralelização, características fundamentais para a execução eficiente de algoritmos intensivos em processamento. A arquitetura proposta foi implementada em SystemVerilog e aproveita técnicas de paralelismo e pipeline para alcançar uma aceleração significativa em comparação com soluções puramente baseadas em software. A metodologia adotada focou na otimização de quatro operações principais do algoritmo: gerenciamento de dados, cálculo e comparação de distâncias, atualização dos centroides e controle do sistema. A arquitetura inclui uma central de dados para organizar e armazenar informações, além de um bloco especializado para calcular a distância euclidiana entre os indivíduos e os centroides. Esse bloco utiliza 16 instâncias paralelas de operações para calcular distâncias em tempo reduzido. O resultado dessas operações é processado por uma árvore de somas e, em seguida, por um módulo de raiz quadrada, que implementa o método numérico de Heron, garantindo precisão e eficiência no cálculo. Os testes de desempenho foram realizados em ambientes simulados, mostrando que a versão com pipeline da arquitetura foi até 28 vezes mais rápida do que a versão sem pipeline. Além disso, ao comparar a implementação em FPGA com versões em linguagem de montagem e em um simulador de hardware, obteve-se uma aceleração de 3,38 vezes para cenários com 128 indivíduos. A análise mostrou que o paralelismo implementado na arquitetura se manteve eficiente independentemente do número de características ou núcleos processados. Os resultados indicaram limitações de hardware, pois a arquitetura proposta excede os recursos da FPGA Ultra96-V1 utilizada para testes. No entanto, ajustes futuros na parametrização dos módulos podem tornar a implementação viável. Além disso, o trabalho sugere a integração futura do classificador com os módulos de atualização de centroides e a adaptação das interfaces para o padrão AXI, visando a utilização em sistemas heterogêneos CPU-FPGA, o que possibilitaria a aplicação em problemas de larga escala.

Palavras-chave: Hardware, clustering, métrica de similaridade.



Agência financiadora: PIBIC/CNPq.

Campus: Mossoró
