

# Implementação de portas lógicas em tecnologia CMOS para aplicação em Circuitos Integrados

Rafael Vieira Abrantes, Ernano Arrais Junior

Universidade Federal Rural do Semi-Árido – Pau dos Ferros  
– RN Grupo de Desenvolvimento e Simulação – GDeS

[rafael.abrantes.dm@hotmail.com](mailto:rafael.abrantes.dm@hotmail.com), [ernano.arrais@ufersa.edu.br](mailto:ernano.arrais@ufersa.edu.br)

*Abstract: With the advent of integrated circuits (ICs) in the 1960s, it enabled the grouping of several transistors into a very small space of chip area. According to (Sedra, 2007) the MOSFET (metal-oxide-semiconductor field effect transistor) can operate at low voltages, with voltage application it can behave as a gate or as a source of voltage controlled current. The work uses logic, NOT, AND, OR, NAND, and NOR ports to implement the MOSFET using software and purchasing the results with their respective truth table and the amount of transistor used in each implementation.*

*Resumo: Com o advento dos circuitos integrados (CIs) na década de 60, possibilitou o agrupamento de vários transistores em um espaço muito pequeno de área de chip. O MOSFET (transistor de efeito de campo metal-óxido-semicondutor) consegue funcionar em tensões baixas, com aplicação de tensão ele pode se comportar como porta ou como fonte de corrente controlado por tensão[3]. O trabalho utiliza portas lógicas, NOT, AND, OR, NAND e NOR para implementar o MOSFET utilizando um software e comparando os resultados com sua respectiva tabela verdade e a quantidade de transistor utilizado em cada implementação.*

**Palavras Chave:** Circuitos Integrados; Transistor; MOSFET; Portas Lógicas;

## 1. Introdução

Com a invenção dos circuitos integrados na década de 60, obteve-se o agrupamento de vários transistores dentro de um *chip*, onde eram somente dezenas de transistores alocados, diferentemente dos transistores discretos fabricados por Wiliam Shockley, John Bardeen e Walter Bratain. Diferencialmente, o transistor discreto possuía um tamanho considerável em relação ao Circuito Integrado (CI), e no lugar de usar

somente um transistor, no CI a alocação era bem maior, possibilitando aumento de eficiência e com isso o transistor mais popular utilizado é o *complementary metal-oxide-semiconductor* (CMOS) [1].

A tecnologia empregada na fabricação dos circuitos integrados (CI), engloba elementos de lógica digital até memórias RAM, etc. É utilizada também para a fabricação de circuitos analógicos utilizados na comunicação. O CMOS foi patenteado por Frank Wanlass em 1963.

Com o passar das décadas, houve um avanço significativo dos CMOS, tornando-o assim, a tecnologia mais utilizada, cerca de 75% dos circuitos semicondutores são implementados com tecnologias CMOS e esse feito deve continuar durante as próximas duas décadas. Ele possui baixo consumo de potência, alta imunidade, simplicidade de projeto e operação confiável em ampla faixa de valores de tensão [2].

A finalidade deste artigo é a implementação das portas lógicas utilizando a tecnologia CMOS por meio de layout com o auxílio do software MicroWind para a obtenção dos resultados e pode-los comparar com cada tabela verdade.

Este artigo está organizado da seguinte forma: depois desta introdução, na seção 2, é apresentado a tecnologia CMOS. Na seção 3, é apresentado o *layout* e finalmente, na seção 4 são apresentadas as conclusões do trabalho.

## 2. Tecnologia CMOS

O transistor de efeito de campo metal-óxido-semicondutor (MOSFET) é o transistor mais utilizado atualmente em circuitos integrados, onde são fabricados sobre uma pastilha de silício, tem por composição, uma porta (gate), uma fonte (source), um dreno (drain) e um substrato (body), e ao ser “dopado” ele cria um canal de elétrons entre a fonte e o dreno com largura  $W$  e comprimento  $L$ , onde este canal de material semicondutor pode ser de tipo n ou p.

O MOS complementar consiste na tecnologia empregada na construção de CI, com algumas aplicações em porta lógica digital, o CMOS tem sua vantagem de pouca energia e tamanho físico pequeno, sendo assim seu canal do tipo p e n também muito pequeno, fisicamente de um lado se aloca o MOS de canal tipo n+, do outro lado o MOS de canal tipo p+ e entrem eles um material isolante [3].

No efeito de campo MOS, o *gate* é polarizado para um potencial, sendo, para inibir ou induzir uma região através do *body* para controlar a condução [7].

Ao adquirir tensão o MOSFET pode operar em três regiões, região de corte, região de triodo e região de saturação, o transistor opera como uma porta (transistor ligado ou desligado) quando estiver na região de corte ou no triodo e quando opera na região de saturação opera como fonte de corrente controlado por tensão, com a seguinte equação [3]:

$$i_d = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right) (V_I - V_T)^2 \quad (01)$$

O fluxo da corrente no CMOS será da *gate* (porta) para o *drain* (dreno) e no PMOS será do dreno para a fonte [3].

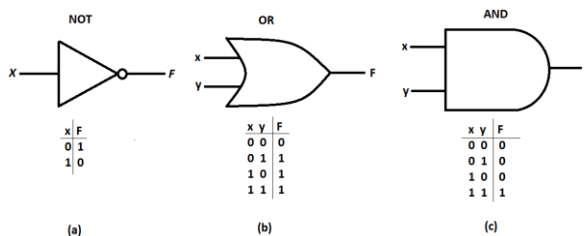


Figura 1: Portas lógicas (a) NOT, (b) OR e (c) AND [1].

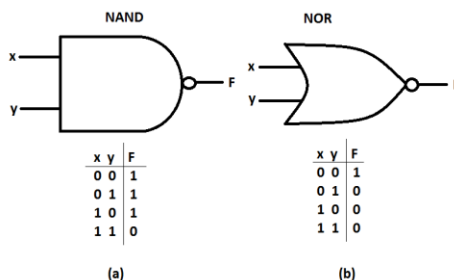


Figura 2: Portas lógicas (a) NAND e (b) NOR [1].

Para projetar o MOS o processo consiste em definir as entradas e saídas do circuito, cálculos, simulações, layout do circuito, reavaliação de entrada e saída, fabricação e teste, como foco do trabalho, o foco será no layout do circuito com as seguintes portas lógicas conhecidas, NOT, AND, NAND, OR e NOR [4] conforme a Figura 1 e a Figura 2.

### 3. Layout

Para a implementação dos CMOS na parte física, existe o projeto dos transistores com ajuda de software, como o utilizado neste artigo o MicroWind, também se utiliza o LASI para realizar o desenho dos transistores.

Estes softwares contém o necessário para a construção, com a representação de metal, poli silício, as entradas como clock, tensões para adicionar na fonte ou no dreno, as saídas e a escolha da tecnologia utilizada.

### 4. Resultados e Discussão

Com a utilização do software MicroWind para o projeto das portas lógicas

utilizando CMOS, nota-se uma semelhança com os resultados descritos na Figura 1 e 2, mas antes, deve-se saber qual tecnologia a ser aplicada no MOS, pois com o avanço da tecnologia e com o aumento da escala tornou-se cada vez mais difícil manter desempenho, pois, o canal se diminui [5]. Em 2006 está tecnologia se encontrava por volta de  $0,065\mu\text{m}$  ( $0,065 \times 10^{-6}\text{m}$ ), hoje em dia esta escala pode estar bem maior [3].

No manual do software em questão, assim que adquire ele vem juntamente com o programa, apresenta uma tabela com as tecnologias usadas pelo MicroWind e para o trabalho em questão foi utilizado a tecnologia de  $0,6\mu\text{m}$  ( $0,6 \times 10^{-6}\text{m}$ ) com o intuito de não deixar o canal muito pequeno.

Para fabricar um circuito CMOS deve definir as áreas ativas, implantar as regiões de poços, depositar e modelar as camadas de poli silício, implantar as regiões da fonte e dreno e modelar as camadas de metal [6].

A primeira porta logica a ser implementada se consiste na porta NOT, pois, logo após foi utilizada para projetar a porta AND e OR, com a porta construída baseada na sua estrutura com transistores demonstrada na Figura 3 juntamente com o projeto pronto.

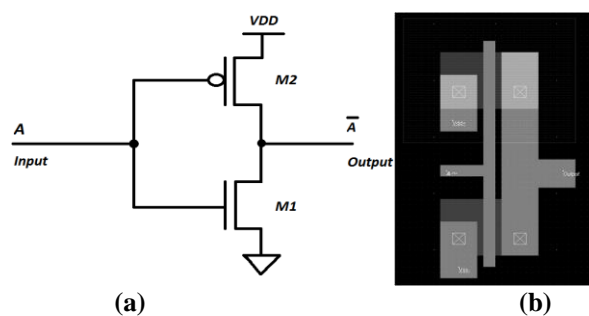


Figura 3: (a) Forma estrutural da porta NOT, (b) layout da porta NOT.

Ao observar os resultados lógicos da Figura 3 b) da porta NOT, esperamos que inverta a tensão de 5V onde o manual do MicroWind informou que seria a menor tensão para esta tecnologia que a cada clock da entrada o CMOS invertesse, então, quando a tensão for 5V a saída será 0V e quando a entrada for 0V a saída será 5V.

Observa-se que na Figura 4 o resultado foi como esperado, somente com 0 e 1 lógico, onde com a entrada de cada valor ao passar pela porta o número é invertido e na Figura 3 utiliza-se somente 2 transistores.

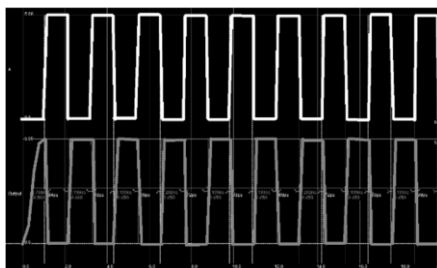


Figura 4: Resultados da porta NOT

Outra porta logica projetada foi a NAND, pois, o modelo dela será utilizado para a porta AND, onde é a junção da porta NAND com a porta NOT, a porta em questão deverá se comportar da seguinte maneira conforme a Figura 2, se caso as saídas forem 0, sua saída será 1, se for 1 e 0 ou 0 e 1 a saída será 0, o layout da porta NAND esta apresentada juntamente com sua estrutura na Figura 5.

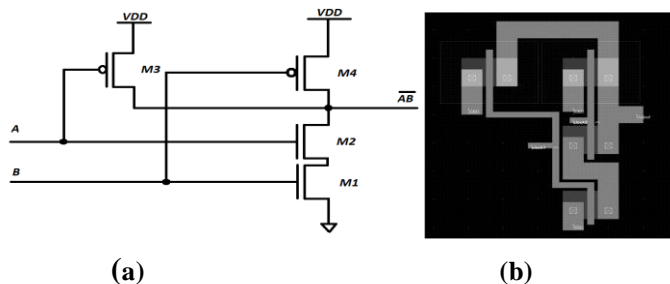


Figura 5: Estrutura da porta NAND e (b)Layout da porta NAND.

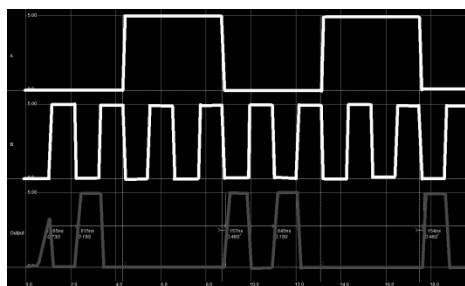


Figura 6: Resultado da porta NAND.

Esta porta lógica necessita pela estrutura apresentada de 4 transistores, sendo dois PMOS e dois NMOS, onde o metal estará conectado no PMOS realizando a junção e no NMOS, onde a saída do clock 1 no PMOS se ligará com a saída do PMOS do clock 2, e a saída do clock 1 pelo CMOS se ligará com a fonte do outro CMOS. Logo após a layout finalizado, o resultado mostrado na Figura 6 apresenta que quando o clock 1 e o clock 2 que são as entradas forem 1 Logico, o output será 0 e para os outros casos a saída será 1 Logico ou 5V.

Como foi mencionado anteriormente, para construir a porta AND, precisa-se das duas portas descritas logo acima e a junção mostrada da figura 8, porém, o resultado esperado de acordo com a Figura 1 é se caso a duas entradas forem 1 a sua saída será o mesmo valor e para os outros casos sempre será zero, com a junção de duas portas logicas a quantidade de transistores aumenta no total de 6 transistores conforme mostra a Figura 9.

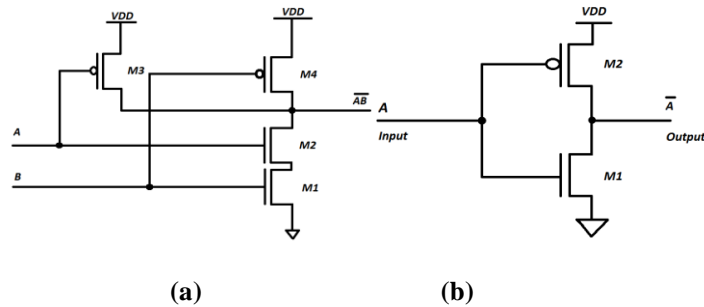


Figura 7: (a) Porta NAND e (b) Porta NOT

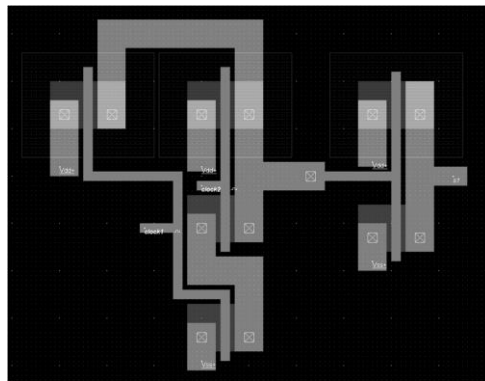


Figura 8: Layout da Porta AND.

O layout em questão apresenta uma diferença em relação às duas apresentadas, que é a conexão do metal com o poli silício representado pela cor rosa, onde a saída da porta NAND entra para porta NOT e se resulta:

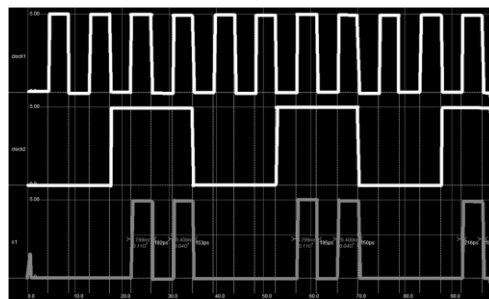
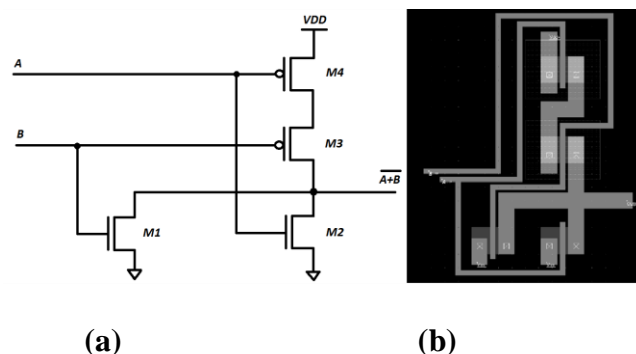


Figura 9: Resultado da porta AND.

Conforme a Figura 9, com a implementação da porta, quando a entrada de cima for 5 V e a segunda entrada também for 5 V, a saída que já era esperada acontece com 5V.

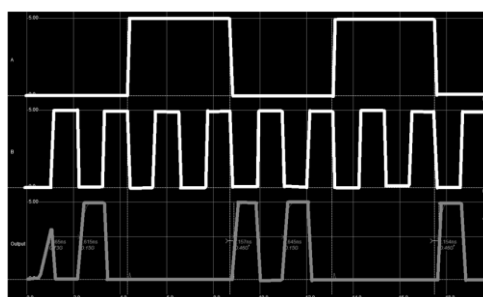
Com a porta logica NOR ocorre de forma diferente, quando as duas entradas forem

zero a sua saída será um e nos outros casos sempre será igual a zero, o layout da porta NOR se comporta conforme sua estrutura na Figura 10.



**Figura 10: (a) Estrutura da porta NOR e (b) layout da Porta NOR.**

Neste caso a quantidade de transistores se mantem igual ao da porta NAND o total de 4, porem ocorre algumas diferenças, a fonte do PMOS se conecta com o dreno do outro PMOS diferentemente do outro caso onde os PMOS se conectavam fonte com fonte, este é um dos fatores para o resultado ser diferente como mostra o resultado da porta NOR na Figura 11:



**Figura 11: Resultados da porta NOR.**

Conforme observado na Figura 11, quando a entrada clock 1 e clock 2 foram zero a saída será igual a 1 e para os outros 3 casos a sua saída foram iguais a 0.

Última porta projetada e implantada foi a porta OR, onde, de forma semelhante à da porta AND, com a junção da porta NAND com NOT a porta OR é com NOR e NOT, com isso, a quantidade de transistores são iguais, como mostra a Figura 12 sua estrutura e na Figura 13 seu layout.

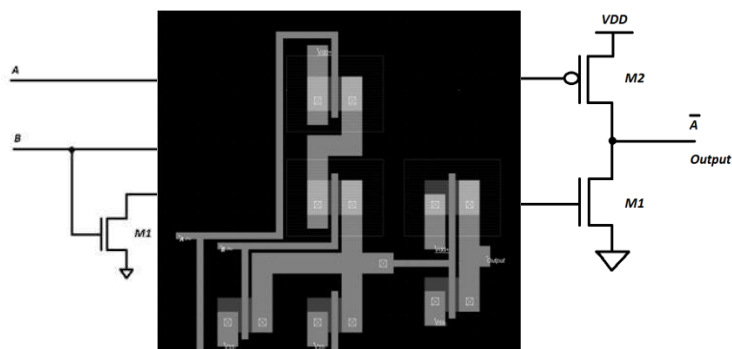


Figura 12: (a) Porta NOR e (b) Porta NOT.  
Figura 13: Layout da Porta OR.

(a)

(b)

O comportamento da porta OR, onde somente será igual a zero se caso as duas entradas será igual a zero, com um total de 6 transistores, onde no CMOS os drenos são conectados pelo metal e o PMOS um da fonte para o dreno, e uma ligação para o metal com o polissilício.

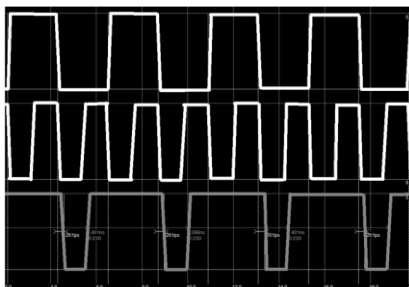


Figura 14: Resultado da Porta OR

Conforme a Figura 14 observa-se exatamente o que era esperado, onde somente quando as duas entradas foram 0V sua saída se resultava em 0V ou 0 logico e para os outros casos sempre será 1.

## 5. Conclusão

Conforme os resultados obtidos com o projeto das portas logicas utilizado a tecnologia MOSFET, foram obtidos resultados iguais apresentado na tabela verdade e para próximos trabalhos será analisado como implementar as portas logicas utilizando MOSFET porem reduzindo o número de transistores.

## 6. Agradecimentos

Os autores gostariam de agradecer à Universidade Federal Rural do Semi-Árido (UFERSA e ao Grupo de Pesquisa e Desenvolvimento (GDES) da UFERSA pelo suporte ao longo do trabalho.



## 7. Referências

- [1]Vahid, Frank. **Sistemas Digitais: Projeto, otimização e HDLs.** – Porto Alegre: Artmed, 2008. 560p.
- [2]KOFUJI, Sérgio Takeo; ZUFFO, João Antonio; SOARES, João Navarro. **Circuitos Integrados CMOS.** 2015. Disponível em: <[app.cear.ufpb.br/~asergio/Eletronica/Transistor/Teoria-CMOS.pdf](http://app.cear.ufpb.br/~asergio/Eletronica/Transistor/Teoria-CMOS.pdf)>. Acesso em: 03 mar. 2017.
- [3]Sedra, Adel S. **Microeletrônica.** Ed. -São Paulo: Pearson Prentice Hall, 2007.
- [4]BAKER, Russel Jacob. **CMOS Circuit Design, Layout, and Simulation.** 2. ed. 2004. 1080p.
- [5]MIR, R.N et al. Computational technique for probing terminal control mechanisms inside three-dimensional nano-scale MOSFET. **Electronics Letters**, [S.l.], 12 jun. 2014. 50, p. 833-835. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6824381>>. Acesso em: 25 fev. 2017.
- [6]RABAEY , Jan M.; CHANDRAKASAN , Anantha; NIKOLIC , Borivoje. **Digital Integrated Circuits: A design Perspective.** 2. ed. [S.l.]: Pearson, 2003. 761 p.
- SRIDEVI, V.; JAYANTHY, T. **Carbon Nanotube Field Effect Transistor based Digital Logic Circuits.** International Journal of Electronic and Electrical Engineering, [S.l.], 10 ago. 2011. 4, p. 145-157. Disponível em: <[http://www.irphouse.com/ijeee/IJEEEv4n2\\_\\_2.pdf](http://www.irphouse.com/ijeee/IJEEEv4n2__2.pdf)>. Acesso em: 15 fev. 2017.
- [7]WILLIAMS, Richard K. et al. **The Trench Power MOSFET: Part I—History, Technology, and Prospects.** IEEE TRANSACTIONS ON ELECTRON DEVICES, [S.l.], 23 fev. 2017. 64, p. 674. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=7862948>>. Acesso em: 25 fev. 2017.